



Practitioner's Docket No. 1406/158

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re application of: Hedler et al.

Application No.: 10/634,242

Group No.: Not Assigned

Filed: August 5, 2003

Examiner: Not Assigned

For: METHOD FOR PRODUCING A SEMICONDUCTOR DEVICE AND CORRESPONDING SEMICONDUCTOR DEVICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: DE

Application Number: 10239081.9

Filing Date: 08/26/2002

Date: 11-25-03

1406/158 REJ/cht  
Customer No.: 25297

Signature of Practitioner

Richard E. Jenkins  
Registration No. 28,428

CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: 11-25-03

Cathi H. Turner  
(type or print name of person mailing paper)

Signature of person mailing paper

WARNING: "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437 . . ." 37 C.F.R. § 1.6(d)(4).

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 39 081.9

**Anmeldetag:** 26. August 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Verfahren zur Herstellung einer Halbleiterein-  
richtung und entsprechende Halbleitereinrichtung

**IPC:** H 01 L 21/60

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 31. Juli 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

**Sleck**

## Beschreibung

Verfahren zur Herstellung einer Halbleitereinrichtung und entsprechende Halbleitereinrichtung

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Halbleitereinrichtung und eine entsprechende Halbleitereinrichtung.

10 Halbleitereinrichtungen werden üblicherweise entweder über ein Interposer-Substrat in einem BGA (Ball Grid Array) auf einer Leiterplatte angeschlossen oder aber die Halbleitereinrichtung wird direkt als WLP/CSP (Wafer Level Package/Chip Size Package) auf der Leiterplatte angeschlossen.

15

Bei einer herkömmlichen BGA-Anordnung gemäß Figur 4 ist eine Halbleitereinrichtung 10 über Lotkugeln 30 und eine mechanische Verbindungseinrichtung 31 mit einem Interposer-Substrat 32 bzw. einem Sockel verbunden. Zum Schutz der Halbleitereinrichtung 10 ist diese von einer Ummantelung 33 umgeben. Zur elektrischen Kontaktierung des Interposer-Substrats 32 an eine Leiterplatte 34 dienen wiederum Lotkugeln 30. Wie in Figur 4 durch die Vergrößerungsprojektion in dem großen Oval verdeutlicht, erfolgt die Kontaktierung bzw. die Umverdrahtung in bzw. auf dem Interposer-Substrat 32 durch Leiterbahnen 35, beispielsweise aus Kupfer, welche in der Regel eine Breite von mehr als 100  $\mu\text{m}$  und eine Höhe bzw. Stärke von mehr als 20  $\mu\text{m}$  bei der veranschaulichten Leiterplatten-Technologie aufweisen. Dadurch wird eine gute elektrische Anbindung mit niedrigem Leiterbahnwiderstand gewährleistet, wobei jedoch ein hohes Bauvolumen bzw. eine große Außenabmessung der Anordnung resultiert.

In Figur 5 ist dagegen eine herkömmliche WLP/CSP-Anordnung gezeigt. In diesem Fall wird die Halbleitereinrichtung 10 bzw. der Halbleiterchip über Lotkugeln 30 direkt mit der Leiterplatte 34 verbunden. Wie in Figur 4 wird auch in Figur

5 eine Ausschnittsvergrößerung durch das große Oval verdeutlicht, in welcher die Halbleitereinrichtung 10 bzw. der Chip mit untenliegenden elektrischen Anschluß- bzw. Kontakteinrichtungen 12 dargestellt ist. Diese Kontakt- bzw. Umverdrahtungseinrichtungen 12 weisen im allgemeinen eine Breite von  
5 mehr als 20  $\mu\text{m}$  und eine Höhe von etwa 2 bis 4  $\mu\text{m}$  auf, welche in Dünnschicht-Technologie aufgebracht werden.

Obwohl die Anordnung gemäß Figur 5 einen kompakteren Aufbau  
10 ohne das zusätzliche Interposer-Substrat zuläßt, besteht bei dieser Anordnung ein Nachteil darin, daß die Leitfähigkeit der Umverdrahtungseinrichtung der WLP/CSP um einen Faktor 5 bis 10 niedriger als die Leitfähigkeit eines herkömmlichen BGAs mit Interposer gemäß Figur 4 ist. Der Widerstand der  
15 Umverdrahtungseinrichtung ist im Vergleich zur BGA-Alternative bei einer WLP-Anordnung hoch, weshalb die Leistungsfähigkeit der Anordnung bzw. des Packages insbesondere bei Hochfrequenzanwendungen begrenzt ist.

20 In Figur 6 ist der Querschnitt einer herkömmlich hergestellten Halbleitereinrichtung mit Kontakt- bzw. Umverdrahtungseinrichtung dargestellt. Auf einem Halbleitersubstrat 10 eines Chips bzw. Wafers ist zunächst eine Trägerschicht 11, vorzugsweise aus Titan oder einer Titanverbindung, aufgebracht, an welche sich eine leitfähige Schicht 12 bzw. Leiterbahnebene anschließt, die beispielsweise Kupfer aufweist.  
25 Auf die leitfähige Schicht 12 folgt eine Barrierschicht 40, die insbesondere Nickel aufweist und das Eindiffundieren von Metall-Atomen, beispielsweise Gold, einer Schutzschicht 41, welche darüber aufgebracht ist, in die leitfähige Schicht 12,  
30 z.B. aus Kupfer, zu verhindern.

Eine solche von oben geschützte Leiterbahneinrichtung z.B. als Kontakt- bzw. Umverdrahtungseinrichtung auf einer Halbleitereinrichtung 10 wird durch verschiedene Herstellungsschritte mit Sputter- und/oder elektrochemischen Abscheidungsprozessen aufgebracht und durch einen Ätzprozeß mit  
35

einer photochemisch strukturierten Photomaske strukturiert. Die Höhe einer solchen Schichtfolge beträgt beispielsweise etwa 4 bis 6  $\mu\text{m}$ . Nachteile bei einer solchen Anordnung sind neben den multiplen Schichtgenerations-Prozessen, welche  
5 einen Zeitaufwand und damit Kosten verursachen, auch darin begründet, daß die Seitenwände der Schichtanordnung auf dem Halbleitersubstrat 10 nicht geschützt sind und damit insbesondere elektrochemischer Korrosion ausgesetzt sind. Vor allem die seitlich freiliegende leitfähige Schicht 12, vorzugsweise aus Kupfer, ist der Korrosion ausgesetzt, wobei die  
10 einzelnen Schichten ein galvanisches Element bilden, das zu ungewünschten chemischen Reaktionen neigen kann.

Die notwendigen Schichten und Verfahrensschritte für die  
15 Herstellung einer solchen Anschluß- bzw. Umverdrahtungseinrichtung sind in der Regel Aufsputtern einer Haft- bzw. Trägerschicht 11, Aufsputtern einer Kupfer-Trägerschicht (nicht dargestellt), Durchführen eines Photolithographie-Prozesses zur Strukturierung der aufgesputterten Metallisierungen 11,  
20 Abscheiden einer Kupfer-Leiterbahnschicht 12, Abscheiden einer Nickelschicht als Barriere- bzw. Pufferschicht 40, Abscheiden einer Goldschicht 41 als Schutz und schließlich Entfernen der strukturierten Photomaske und Ätzen der Trägerschicht in Bereichen, in denen zuvor die strukturierte Photomaske vorgesehen war.  
25

In einer solchen Schichtfolge wird die Leitfähigkeit durch die abgeschiedene bzw. plattierte Kupferschicht 12 bestimmt. Eine Verbesserung der Leitfähigkeit bedeutet Steigern der  
30 Abscheidungs- bzw. Plattierungszeit, welche direkt mit den Prozeß- bzw. Herstellungskosten einhergeht. Um die gleiche hohe Leitfähigkeit wie bei einer BGA-Anbindung gemäß Figur 4 zu realisieren, die einen Interposer 32 bzw. Sockel aufweist, wären die Abscheidungs- bzw. Plattierungskosten für eine  
35 gemäß Figur 6 bzw. Figur 5 verdeutlichte CSP/WLP-Anschluß- bzw. Umverdrahtungseinrichtung nicht ökonomisch.

Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfahren zur Herstellung einer Halbleitereinrichtung und eine entsprechende Halbleitervorrichtung bereitzustellen, welche Anschluß- bzw. Umverdrahtungseinrichtungen mit einer guten  
5 d.h. hohen Leitfähigkeit vorsieht, die kostengünstig herstellbar sind und kleine Gesamtabmessungen der Anordnung vorsehen.

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1  
10 angegebene Verfahren zur Herstellung einer Halbleitereinrichtung und durch die Halbleitervorrichtung nach Anspruch 15 gelöst.

Die der vorliegenden Erfindung zugrunde liegende Idee besteht  
15 im wesentlichen darin, eine hohe Leitfähigkeit durch Vergrößern des Leitungsquerschnitts durch Aufbringen einer Lot-schicht über Anschluß- bzw. Umverdrahtungseinrichtungen bzw. Leitungen, ohne einen kostenaufwendigen Plattierungs- bzw. Abscheidungsschritt zur Steigerung der Kupferdicke bzw. des  
20 leitenden Querschnitts vorzusehen.

In der vorliegenden Erfindung wird das eingangs erwähnte Problem insbesondere dadurch gelöst, daß auf einem Halbleitersubstrat, welches eine strukturierte Leiterbahnebene dar-  
25 auf aufweist, eine strukturierte Lotschicht auf der strukturierten Leiterbahnebene zum Vergrößern des leitfähigen Querschnitts aufgebracht wird.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen  
30 und Verbesserungen des jeweiligen Erfindungsgegenstandes.

Gemäß einer bevorzugten Weiterbildung wird die Leiterbahnebene in einem Sputter-Prozeß aufgebracht.

35 Gemäß einer weiteren bevorzugten Weiterbildung weist die Leiterbahnebene, welche aufgebracht wird, ein Metall, vorzugsweise Kupfer und/oder Aluminium, auf.

Gemäß einer weiteren bevorzugten Weiterbildung wird die Leiterbahnebene in einem photolithographischen Prozeß strukturiert.

5

Gemäß einer weiteren bevorzugten Weiterbildung sieht die strukturierte Leiterbahnebene auf dem Halbleitersubstrat eine Träger- bzw. Barrierschicht vor, die vorzugsweise Titan aufweist und wie die Leiterbahnebene strukturiert wird.

10

Gemäß einer weiteren bevorzugten Weiterbildung wird die strukturierte Lotschicht in einem Print-Prozeß aufgebracht und durch Wiederverflüssigen bzw. Reflow des Lots in vorbestimmter Weise verteilt.

15

Gemäß einer weiteren bevorzugten Weiterbildung wird die Lotschicht in einem Tauchlötprozeß aufgebracht, in welchem die mit der strukturierten Leiterbahnebene versehene Oberseite des Halbleitersubstrats in ein Lotbad eingetaucht wird.

20

Gemäß einer weiteren bevorzugten Weiterbildung wird vor dem Aufbringen der Lotschicht eine Lotstoppeinrichtung selektiv über vorbestimmten Abschnitten der Anordnung aufgebracht.

25

Gemäß einer weiteren bevorzugten Weiterbildung werden Seitenwände der strukturierten Leiterbahnebene und/oder der Träger- bzw. Barrierschicht mit Lot benetzt.

30

Gemäß einer weiteren bevorzugten Weiterbildung wird beim Aufbringen der Lotschicht sowohl Lotbahnen als auch Lotkugeln zur Kontaktierung von weiteren Halbleitereinrichtungen und/oder einer Leiterplatte in vertikaler Richtung, vorzugsweise im gleichen Prozeßschritt, gebildet.

35

Gemäß einer weiteren bevorzugten Weiterbildung wird nach dem Aufbringen der strukturierten Lotschicht ein nichtleitfähiger Kunststoff, vorzugsweise ein Polymer, derart aufgebracht, daß

die Spitzen der Lotkugeln zur vertikalen Kontaktierung aus dem Kunststoff herausragen, wobei sonstige Lotstrukturen überdeckt werden.

5    Gemäß einer weiteren bevorzugten Weiterbildung wird das auf-  
gebrachte Polymer erst bei dem oder nach dem elektrischen  
Kontaktieren mit einer weiteren Halbleitereinrichtung  
und/oder einer Leiterplatte in vertikaler Richtung ausgehär-  
tet.

10

Gemäß einer weiteren bevorzugten Weiterbildung wird das Poly-  
mer in einem Print-Prozeß aufgebracht.

15

Gemäß einer weiteren bevorzugten Weiterbildung wird die leit-  
fähige Leiterbahnebene in einem Print- bzw. Präge-Prozeß mit  
einer hochreaktiven Substanz, welche zumindest ein Edelmet-  
tall, wie vorzugsweise Platin oder Palladium, aufweist, auf  
dem Halbleitersubstrat und/oder Kontakteinrichtungen wie  
Bondpads gebildet.

20

Ausführungsbeispiele der Erfindung sind in den Zeichnungen  
dargestellt und in der nachfolgenden Beschreibung näher er-  
läutert.

25

Es zeigen:

30

Figur 1    den Querschnitt einer gemäß einer Ausführungsform  
der vorliegenden Erfindung hergestellten Halblei-  
tereinrichtung;

Figur 2    eine Draufsicht eines Ausschnitts zur Erläuterung  
einer Ausführungsform der vorliegenden Erfindung;

35

Figur 3    eine Querschnittsansicht der Vorrichtung gemäß  
Figur 2;



Figur 4 den Querschnitt einer üblichen Halbleitereinrichtung mit einer Vergrößerungsprojektion;

5 Figur 5 den Querschnitt einer bekannten Halbleitervorrichtung mit einer Vergrößerungsprojektion; und

Figur 6 den Querschnitt einer nach einem üblichen Verfahren hergestellten Halbleitervorrichtung.

10 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

Figur 1 zeigt den Querschnitt einer gemäß einer Ausführungsform der vorliegenden Erfindung hergestellten Halbleitervorrichtung.  
15

In Figur 1 ist ein Halbleitersubstrat 10 dargestellt, auf welches, vorzugsweise in einem Sputter-Prozeß, eine Trägerschicht 11 vorzugsweise aus einem Metall, wie beispielsweise Titan, aufgebracht ist. Eine weitere Metallisierung 12, die ebenfalls vorzugsweise aufgesputtert wird, beispielsweise aus einem leitfähigen Material, wie Kupfer und/oder Aluminium, schließt sich an die Trägerschicht 11 an. In einem photolithographischen Verfahrensschritt wird daraufhin durch Aufbringen und Belichten eines Photolacks eine strukturierte Photomaske gebildet, und in einem darauffolgenden Ätzschritt wird die aufgetragenen Metallisierungsschichten 11 und 12 strukturiert. Daran schließt sich das Entfernen des Photolackmusters bzw. der Photolackmaske und eine Trägerschicht-Ätzung an.  
25  
30

Bevor nun zur Vergrößerung des leitenden Querschnitts der strukturierten, leitfähigen Schicht 12 bzw. der Leiterbahnebene 11, 12 eine Löttschicht 13 aufgebracht wird, ist es z.B. möglich, eine Lötstoppeinrichtung bzw. -schicht (nicht dargestellt) selektiv aufzubringen, um vorbestimmte Abschnitte auf der strukturierten Leiterbahnebene 11, 12 freizuhalten.  
35

Zum Aufbringen der Lotschicht 13 auf die strukturierte Leiterbahnebene 12 wird beispielsweise, in einem Print-Prozeß Lot auf die strukturierte Leiterbahnebene 11, 12 bzw. die Umverdrahtungseinrichtungen 11, 12 aufgebracht und durch Wiederverflüssigen in einem Reflow-Prozeß verteilt. Auf diese Weise kann das elektrisch leitfähige Lot kostengünstig aufgebracht werden und eine Querschnittsvergrößerung des Leitungsquerschnitts der strukturierten Leiterbahnebene 12 vorsehen.

Vorzugsweise weist das Lot in flüssigem Zustand beispielsweise beim Reflow-Prozeß eine Oberflächenspannung auf, welche so gewählt ist, daß die Höhe 14, 24 einer lotbenetzten, Leiterbahnstruktur 11, 12 in etwa der halben Strukturbreite 15, 25 der Leiterbahnstruktur entspricht. Das Lot 13 überdeckt bzw. benetzt die Seitenwände 16 der strukturierten Leiterbahnebene 11, 12 und vorzugsweise auch der Trägerschicht 11. Somit sind diese Seitenwände 16 gegen elektrochemische Korrosion durch das Lot geschützt.

Die vertikale Loterstreckung 14 beläuft sich über einer Leiterbahnstruktur 17 der Leiterbahnebene 12 an die benötigte Leitfähigkeit anpaßbar vorzugsweise im Bereich zwischen 10 bis 25 µm bei einer variablen Strukturbreite des Leiterbahnabschnitts 17 der Leiterbahnebene 12 von z.B. etwa 20 bis 50 µm. Die Lotstrukturhöhe 24 bzw. vertikale Loterstreckung auf einer Anschluß- bzw. Verbindungseinrichtung 18 der Leiterbahnebene 11, 12 ist ebenfalls an die benötigte Leitfähigkeit anpaßbar und beläuft sich vorzugsweise auf etwa 150 bis 300 µm und die Lotstrukturbreite 25 bzw. horizontale Loterstreckung auf einer Anschluß- bzw. Verbindungseinrichtung 18 der Leiterbahnebene 12 z.B. auf etwa 300 bis 600 µm.

Anstatt das Lot 13 in einem Print-Prozeß mit nachfolgender Wiederverflüssigung des Lots 13 und somit eine Verteilung des Lots auf vorbestimmten Abschnitten der Leiterbahnebene 12 aufzubringen ist eine Benetzung der strukturierten Leiter-

bahnebene 12 in einem Lot- bzw. Lötbad alternativ vorgesehen. Hierzu wird das Halbleitersubstrat 10 mit der strukturierten Leiterbahnebene 12 und/oder der wie die strukturierte Leiterbahnebene 12 strukturierte Trägerschicht 11 vorzugsweise mit  
5 der metallisierten Seite nach unten in ein Lötbad eingetaucht. Die nicht mit einer Lötstoppeinrichtung (nicht dargestellt) bzw. Lötstoppschicht versehenen Abschnitte der strukturierten Leiterbahnebene 12 werden daraufhin mit Lot 13 benetzt, wobei das Volumen des benetzenden Lots 13 von der  
10 gewählten Oberflächenspannung des Lots im flüssigen Zustand und der Leiterbahnstrukturabmessung abhängt. Vorzugsweise taucht nur die strukturierte Leiterbahnebene 12 und/oder die ebenso strukturierte Trägerschicht 11 in das heiße, flüssige Lot ein, wobei das Halbleitersubstrat 10 nicht unmittelbar in  
15 das Lötbad eingetaucht wird.

Figur 2 zeigt eine Draufsicht eines Ausschnitts zur Erläuterung einer Ausführungsform der vorliegenden Erfindung.

20 In Figur 2 ist ein mit Lot 13 benetzter Leiterbahnabschnitt 17 und eine ebenfalls mit Lot 13 benetzte Anschluß- bzw. Verbindungseinrichtung 18 auf dem Halbleitersubstrat 10 dargestellt.

25 In Figur 3 ist die Anordnung gemäß Figur 2 im Querschnitt verdeutlicht. Auf dem Halbleitersubstrat 10 ist sowohl im Leiterbahnabschnitt 17 als auch im Anschluß- bzw. Verbindungseinrichtungsabschnitt 18 eine Benetzung mit Lot 13 vorgesehen. Aufgrund der größeren horizontalen Erstreckung der  
30 Anschlußeinrichtung 18, wie in Figur 2 dargestellt, resultiert gemäß Figur 3 im Bereich der vertikalen Kontaktierungseinrichtung 18, welche zum Anbinden weiterer Halbleitereinrichtungen und/oder einer Leiterplatte vorgesehen ist, auch eine höhere vertikale Erstreckung des Lotes in diesem Ab-  
35 schnitt.

Eine erfindungsgemäße Halbleitervorrichtung, beispielsweise gemäß Figur 1, kann zusätzlich mit einem auf Wafer-Ebene auf-  
gebrachten Füll-Polymer versehen sein, welches in einem  
Print- oder Verteilungsprozeß nach dem Reflow des Lots aufge-  
bracht wird und dabei vorzugsweise die in ihrer vertikalen  
Erstreckung kürzeren Lotstrukturen, wie beispielsweise die  
mit Lot benetzten Leiterbahnabschnitte 17, auf den Umverdrah-  
tungseinrichtungen 12 einkapseln und die Lotkugeln, welche  
insbesondere für eine vertikale Kontaktierung vorgesehen  
sind, einbetten, ohne sie zu überdecken, so daß die Lotkugel-  
spitze über das Füllmaterial hinausragt. Diese Fülleinrich-  
tung wird dann während des Wiederverflüssigens der Lotkugeln  
zur vertikalen Kontaktierung weiterer Halbleitereinrichtungen  
und/oder einer Leiterplatte aktiviert und haftet somit an der  
zusätzlichen Halbleitereinrichtung und/oder der Leiterplatte,  
wodurch eine feste mechanische Verbindung zwischen beispiels-  
weise der Leiterplatte und dem Chip sichergestellt wird.

Anstatt die Trägerschicht 11 und/oder die Leiterbahnebene 12  
aufzusputtern, können die Verbindungseinrichtungen bzw. -ab-  
schnitte 18 (Bondpads), z.B. aus Aluminium, und die Passivie-  
rung des Halbleiterchips gleichzeitig durch Drucken oder  
Aufprägen von Chemikalien, welche hochreaktive Komponenten  
mit Edelmetallen, wie Pt oder Pd, aufweisen, aktiviert wer-  
den. Die auf diese Weise erzeugte Struktur sowohl über dem  
Aluminium eines Bondpads als auch über der Passivierung des  
Halbleitersubstrats wird von Lot benetzt. Bei diesem Verfah-  
ren ist die aufgebrachte Trägermetallisierung sehr dünn,  
wobei die kostenintensiven photolithographischen Schritte,  
welche zum Strukturieren der Trägermetallisierungsleiterbah-  
nen erforderlich sind, vermieden werden.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzug-  
ter Ausführungsbeispiele beschrieben wurde, ist sie darauf  
nicht beschränkt, sondern auf vielfältige Weise modifizier-  
bar.

Obwohl in den Ausführungsbeispielen konkrete Abmessungsvorschläge für Leiterbahnstrukturen bzw. Kontaktierungseinrichtungen unterbreitet wurden, sind sowohl größere als auch kleinere Strukturen denkbar. Darüber hinaus sind die angegebenen Materialien z.B. für die Leiterbahnebene bzw. die eventuell vorhandene Trägerschicht beispielhaft zu verstehen.

## Patentansprüche

1. Verfahren zur Herstellung einer Halbleitereinrichtung mit den Schritten:

5

Aufbringen einer Leiterbahnebene (11, 12) auf ein Halbleitersubstrat (10);

Strukturieren der Leiterbahnebene (11, 12); und

10

Aufbringen einer Lotschicht (13) auf der strukturierten Leiterbahnebene (11, 12), derart, daß die Lotschicht (13) die Struktur der Leiterbahnebene (11, 12) annimmt.

15

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Leiterbahnebene (11, 12) in einem Sputterprozeß oder in einem außenstromlosen Abscheidungsprozeß aufgebracht wird.

20

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Leiterbahnebene (12), welche aufgebracht wird, ein Metall, vorzugsweise Kupfer und/oder Nickel und/oder Aluminium, aufweist.

25

4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Leiterbahnebene (11, 12) mit Hilfe eines photolithographischen Prozesses strukturiert wird.

30

5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet,

daß auf dem Halbleitersubstrat (10) eine Trägerschicht (11) aufgebracht wird, die vorzugsweise Titan aufweist, und wie die Leiterbahnebene (12) strukturiert wird.

- 5 6. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die Lotschicht (13) in einem Printprozeß aufgebracht  
und durch Wiederverflüssigen bzw. Reflow des Lots in  
vorbestimmter Weise verteilt wird.
- 10 7. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die Lotschicht (13) in einem Tauchlötprozeß aufge-  
bracht wird, in welchem die mit der strukturierten Lei-  
15 terbahnebene (11, 12) versehene Oberseite des Halblei-  
tersubstrats (10) in ein Lotbad eingetaucht wird.
8. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
20 daß nach dem Strukturieren der Leiterbahnebene (11, 12)  
und vor dem Aufbringen der Lotschicht (13) eine Lot-  
stoppschicht selektiv auf vorbestimmten Abschnitten der  
Anordnung aufgebracht wird.
- 25 9. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß Seitenwände (16) der strukturierten Leiterbahnebene  
(11, 12) und/oder der Trägerschicht (11) mit Lot benetzt  
werden.
- 30 10. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,

daß beim Aufbringen der Lotschicht (13) sowohl Lotbahen als auch Lotkugeln (30) zur Kontaktierung von weiteren Halbleitereinrichtungen und/oder einer Leiterplatte in vertikaler Richtung, vorzugsweise im gleichen Pro-  
5 zeßschritt, gebildet werden.

11. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß nach dem Aufbringen der Lotschicht (13) ein nicht  
10 leitfähiger Kunststoff, vorzugsweise ein Polymer, derart  
aufgebracht wird, daß die Spitzen der Lotkugeln (30) zur  
vertikalen Kontaktierung aus dem Kunststoff herausragen,  
wobei sonstige Lotstrukturen überdeckt werden.

15 12. Verfahren nach Anspruch 11,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß das aufgebrachte Polymer erst bei dem oder nach dem  
elektrischen Kontaktieren mit einer weiteren Halblei-  
tereinrichtung und/oder einer Leiterplatte in vertikaler  
20 Richtung ausgehärtet wird.

13. Verfahren nach Anspruch 11 oder 12,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß das Polymer in einem Printprozess aufgebracht wird.

25

14. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß die leitfähige Leiterbahnebene (12) in einem Print-  
bzw. Prägeprozess mit einer hochreaktiven Substanz, wel-  
30 che zumindest ein Edelmetall, wie vorzugsweise Platin  
oder Palladium, aufweist, auf dem Halbleitersubstrat  
(10) und/oder Kontakteinrichtungen wie Bondpads gebildet  
wird.



15. Halbleitervorrichtung mit:

einem Halbleitersubstrat (10);

5

einer strukturierten Leiterbahnebene (11, 12) auf dem Halbleitersubstrat (10); und

10

einer Lotschicht (13) auf der strukturierten Leiterbahnebene (11, 12) zum Vergrößern des leitfähigen Querschnitts, wobei die Lotschicht (13) die Struktur der Leiterbahnebene (11, 12) annimmt.

16. Halbleitervorrichtung nach Anspruch 15,

15

d a d u r c h g e k e n n z e i c h n e t ,  
daß die strukturierte Leiterbahnebene (12) ein Metall, insbesondere Aluminium und/oder Kupfer, aufweist.

17. Halbleitervorrichtung nach Anspruch 15 oder 16,

20

d a d u r c h g e k e n n z e i c h n e t ,  
daß die strukturierte Leiterbahnebene (11, 12) eine wie die Leiterbahnebene (12) strukturierte Trägerschicht (11) auf dem Halbleitersubstrat (10) vorsieht, welche vorzugsweise Titan und/oder Kupfer aufweist.

25

18. Halbleitervorrichtung nach einem der Ansprüche 15 bis 17,

30

d a d u r c h g e k e n n z e i c h n e t ,  
daß Seitenwände (16) der strukturierten Leiterbahnebene (11, 12) und/oder der Trägerschicht (11) mit Lot benetzt sind.

19. Halbleitervorrichtung nach einem der Ansprüche 15 bis 18,  
dadurch gekennzeichnet,  
daß die Halbleitervorrichtung mit zumindest einer weiteren Halbleitervorrichtung und/oder einer Leiterplatte über einen Kunststoff bzw. ein Polymer mechanisch angebunden ist, wobei die elektrische Anbindung in vertikaler Richtung über Lotkugeln (30) vorgesehen ist.

20. Halbleitervorrichtung nach einem der Ansprüche 15 bis 19,  
dadurch gekennzeichnet,  
daß die strukturierte Lotschicht (13) eine Lotschichthöhe (14, 24) aufweist, welche in etwa der halben Strukturbreite (15, 25) der strukturierten Leiterbahnebene (12) entspricht.

## Zusammenfassung

Verfahren zur Herstellung einer Halbleitereinrichtung und  
entsprechende Halbleitereinrichtung

5

Die vorliegende Erfindung stellt ein Verfahren zur Herstellung einer Halbleitereinrichtung bereit, mit den Schritten: Aufbringen einer Leiterbahnebene (11, 12) auf ein Halbleiter-  
substrat (10); Strukturieren der Leiterbahnebene (12); und  
10 Aufbringen einer Lotschicht (13) auf der strukturierten Leiterbahnebene (11, 12), derart, daß die Lotschicht (13) die Struktur der Leiterbahnebene (11, 12) annimmt. Die vorliegende Erfindung stellt ebenfalls eine solche Halbleitervorrichtung bereit.

15

Figur 1

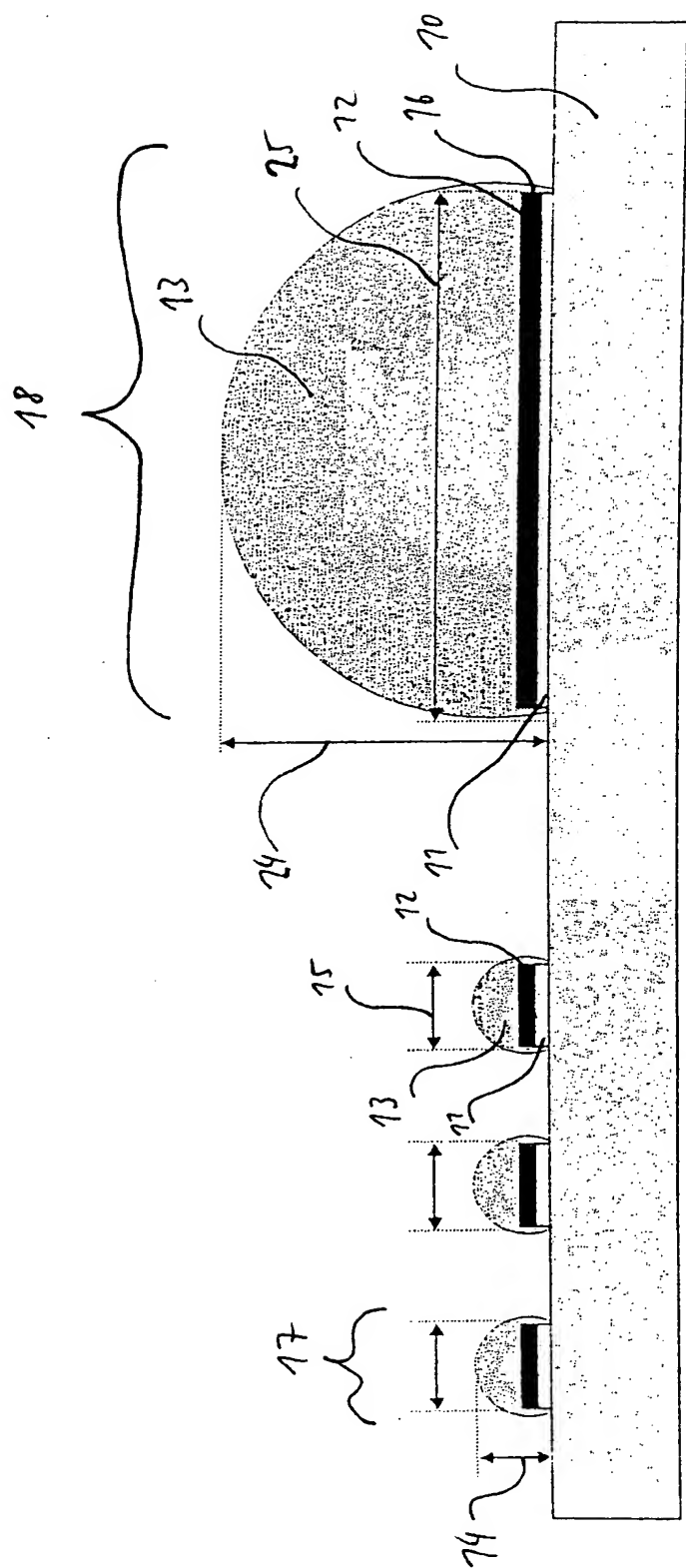


FIG. 1

## Bezugszeichenliste

10	Halbleitersubstrat bzw. HL-Wafer oder HL-Chip
11	Trägerschicht bzw. Barrierschicht, z.B. Titan aufwei-
5	send
12	leitfähige Schicht, insbesondere Leiterbahnebene
13	Lotschicht, insbesondere Leiterbahn
14	Lotstrukturhöhe bzw. vertikale Loterstreckung auf einem Leiterbahnabschnitt der Leiterbahnebene
10	15 Lotstrukturbreite bzw. horizontale Loterstreckung auf einem Leiterbahnabschnitt der Leiterbahnebene
	16 Seitenwand der Leiterbahnebene
	17 Leiterbahnabschnitt der Leiterbahnebene
15	18 Anschluss- bzw. Verbindungseinrichtung der Leiterbahn- ebene
	24 Lotstrukturhöhe bzw. vertikale Loterstreckung auf einer Anschluss- bzw. Verbindungseinrichtung der Leiterbahn- ebene
20	25 Lotstrukturbreite bzw. horizontale Loterstreckung auf einer Anschluss- bzw. Verbindungseinrichtung der Leiter- bahnebene
	30 Lotkugeln (solder bump)
25	31 mechanische Chipanbindung
	32 Interposersubstrat
	33 Chipummantelung
	34 Leiterplatte
30	35 Leiterbahn auf Interposersubstrat mit Durchkontaktierung
	40 Barrierschicht, vorzugsweise mit Ni
	41 Schutzschicht, z.B. aus Au

1/4"

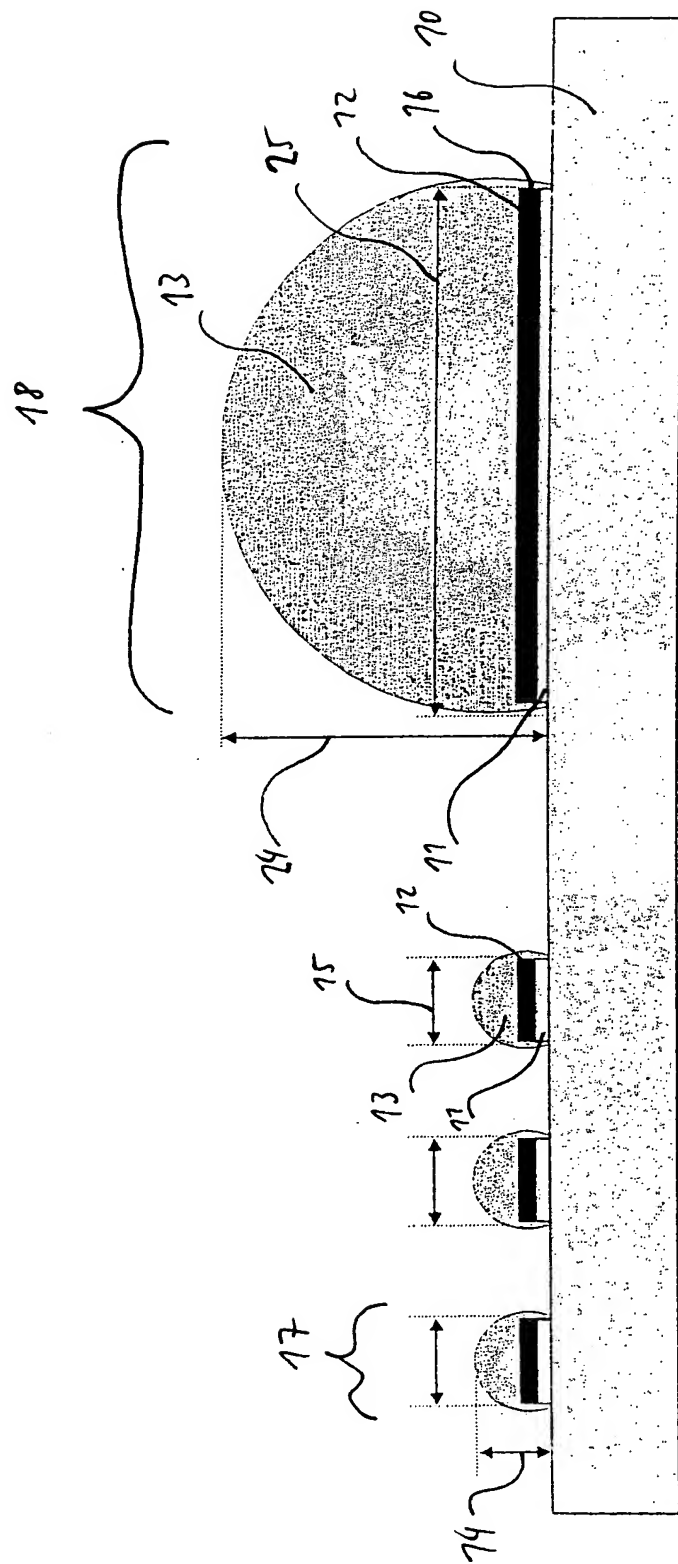


FIG. 1

2/4

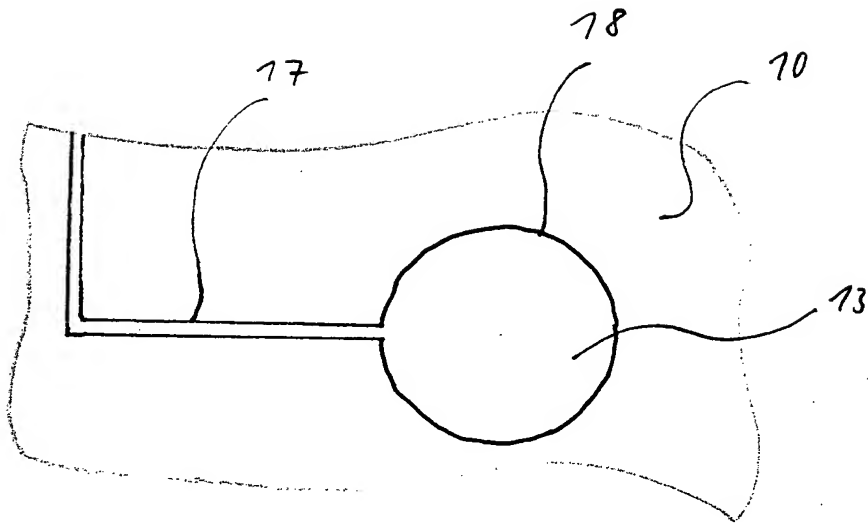


FIG. 2

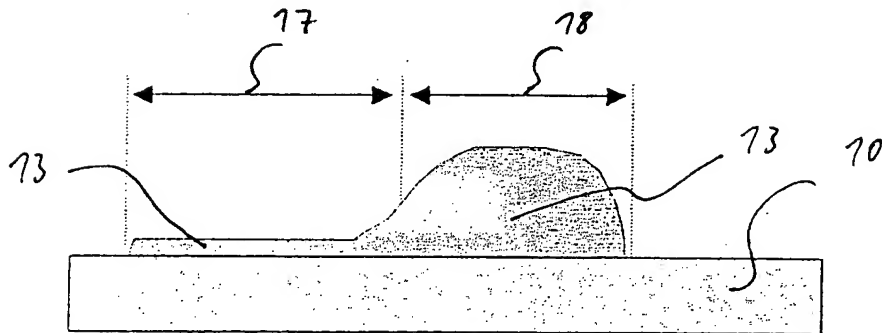


FIG. 3

3/4

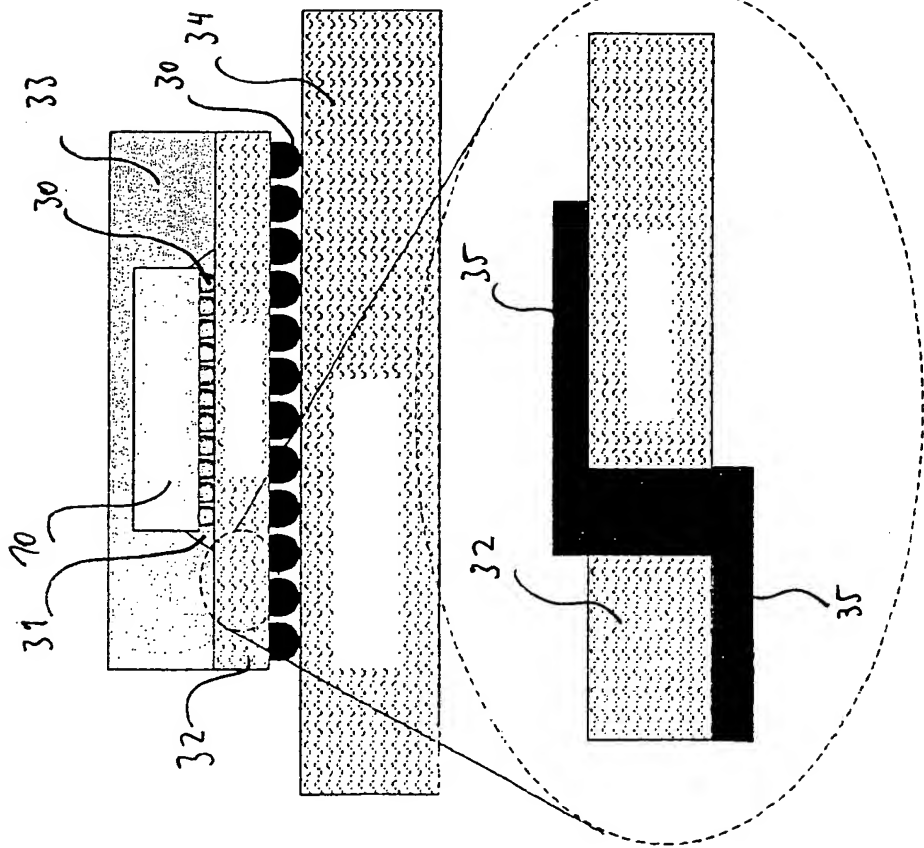


FIG. 4

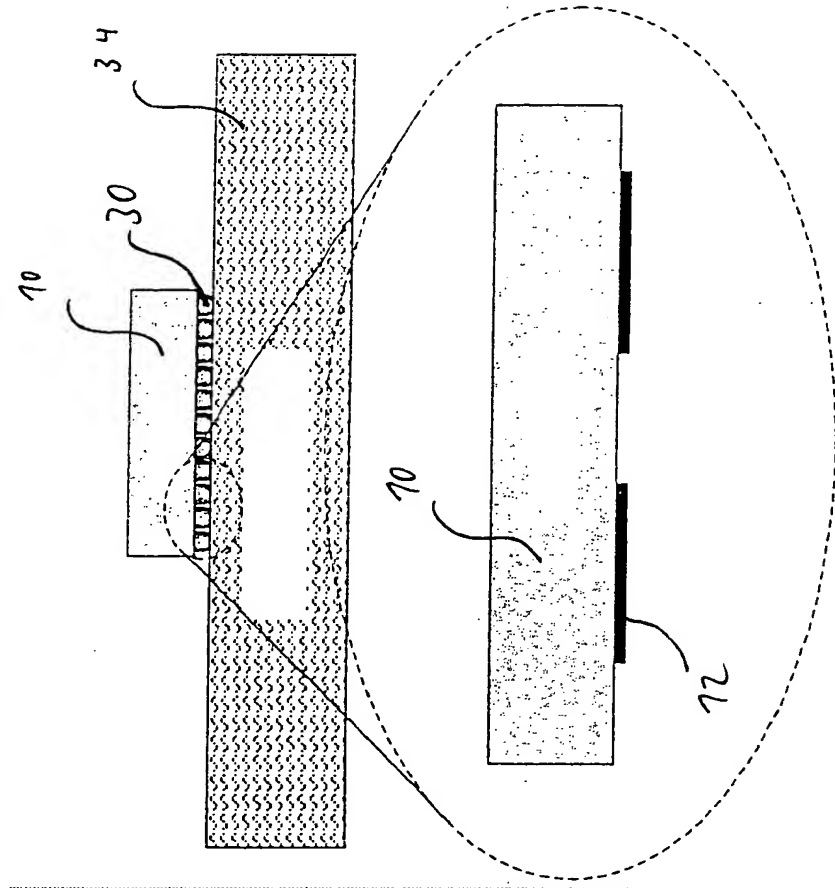


FIG. 5



4/4

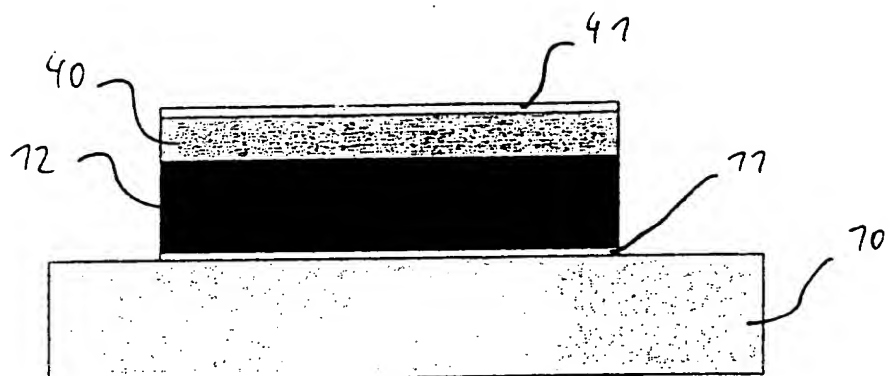


FIG. 6

US 1063789904P1



Creation date: 12-24-2003

Indexing Officer: ATANTU - AFEWORK TANTU

Team: OIPEScanning

Dossier: 10637899

Legal Date: 11-28-2003

No.	Doccode	Number of pages
1	PEFR	6
2	OATH	2
3	FRPR	21

Total number of pages: 29

Remarks:

Order of re-scan issued on .....